

Docket No.: 60188-741

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yoshitaka MANO , et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: January 05, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE AND IC CARD INCLUDING THE SAME	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-006545, filed January 15, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: January 5, 2004

60188-741
MANO et al.
January 5, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 5 日
Date of Application:

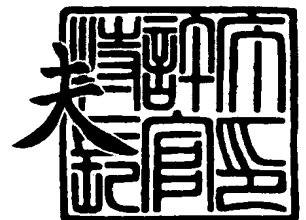
出 願 番 号 特 願 2 0 0 3 - 0 0 6 5 4 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 6 5 4 5]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 1 1 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 4 7 8 4

【書類名】 特許願

【整理番号】 5037840113

【提出日】 平成15年 1月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/092

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 間野 良隆

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中根 譲治

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】**【識別番号】** 100121728**【弁理士】****【氏名又は名称】** 井関 勝守**【手数料の表示】****【予納台帳番号】** 014409**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0217869**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及びそれを搭載した IC カード

【特許請求の範囲】

【請求項 1】 電源電圧から内部電圧を生成する内部電圧供給回路と、前記内部電圧により動作する内部回路とを備えた半導体装置であって、

前記内部回路から出力される動作信号をゲートに受けるスイッチトランジスタと、

前記スイッチトランジスタのドレインと接続され、前記内部回路が動作時に消費する電流量と同一の電流量を消費する負荷回路とを備え、

前記スイッチトランジスタは、前記動作信号により、前記内部回路の動作時にはオフ状態となり、前記内部回路の非動作時にはオン状態となることを特徴とする半導体装置。

【請求項 2】 前記負荷回路は第 1 の抵抗器を有していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の抵抗器が消費する電流量は、前記内部回路が動作時に消費する電流量と実質的に同一であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記負荷回路は、前記第 1 の抵抗器と直列に接続された負荷調節部を有していることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 前記第 1 の抵抗器及び前記負荷調節部が消費する電流量と、前記内部回路が動作時に消費する電流量と同一であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記負荷調節部は、互いに並列に接続された第 2 の抵抗器及びフューズ素子からなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記負荷調節部は、互いに並列に接続された第 2 の抵抗器及びトランジスタからなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 前記トランジスタと接続されたラッチ回路をさらに備えていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記スイッチトランジスタは、Nチャネル型トランジスタで

あることを特徴する請求項 1 に記載の半導体装置。

【請求項 10】 前記スイッチトランジスタは、ソースが接地され、ドレインが前記負荷回路を介して前記内部電圧供給回路と接続されていることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記スイッチトランジスタは、Pチャネル型トランジスタであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 12】 前記スイッチトランジスタは、ソースが前記内部電圧供給回路と接続され、ドレインが前記負荷回路を介して接地されていることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】 請求項 1～12 のうちのいずれか 1 項に記載の半導体装置を搭載していることを特徴とする IC カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びそれを備えた IC カードに関し、特に、記憶回路と、該記憶回路に所定の電圧を供給する電圧供給回路を備えた半導体装置及びそれを搭載した IC カードに関する。

【0002】

【従来の技術】

近年の半導体プロセス技術の進歩に伴って、半導体装置を構成する素子が微細化されると共に、半導体装置の動作電圧が低電圧化されている。近年のプロセスで形成されたチップ部品を従来の電子機器に用いる場合には、電子機器の電源電圧を降圧した内部電圧がチップ部品に用いられている。

【0003】

特に、近年では、半導体記憶装置を備えた IC カードにおいて、外部装置から供給される電磁波をアンテナコイルにより受信して電源電圧を得る非接触の IC カードが開発されており、このような IC カードに対しては、外部から供給される電圧の変動によらず、安定した内部電圧を不揮発性メモリに供給する必要がある。以下に、第 1 従来例として、電源電圧を降圧して内部電圧を生成する電圧降

下回路を用いた半導体記憶装置について説明する。

【0004】

図8は、第1従来例に係る半導体記憶装置の構成を示している。図8に示すように、電源端子に入力された電源電圧 V_{DD} は、降圧回路101により降圧され、内部電圧 V_{INT} としてロジック回路102及び不揮発性メモリ103に供給される。不揮発性メモリ103は、ロジック回路102から出力される不揮発性メモリ起動信号 NCE が“L”レベルの場合に活性化して動作を開始する。

【0005】

ここで、降圧回路101は、ゲートが差動増幅回路111の出力端子と接続されたPチャネル型の出力トランジスタ Q_{P11} を有し、電源端子から入力された電源電圧 V_{DD} は、出力トランジスタ Q_{P11} により降圧され、電源電圧 V_{DD} よりも電位の低い内部電圧 V_{INT} として生成される。

【0006】

差動増幅回路111の一方の入力端子には、基準電位 V_{REF} を発生する基準電位発生回路112が接続されると共に、他方の入力端子には内部電圧 V_{INT} と接地電圧 V_{SS} との中間電位 V_{MID} を発生する分圧回路113と接続され、中間電位 V_{MID} と基準電位 V_{REF} との電位差($V_{MID} - V_{REF}$)に応じた出力電位 V_{ADJ} を出力する。具体的には、中間電位 V_{MID} が基準電位 V_{REF} よりも大きい場合には出力電位 V_{ADJ} は“H”レベル方向に遷移し、中間電位 V_{MID} が基準電位 V_{REF} よりも小さい場合には出力電位 V_{ADJ} は“L”レベル方向に遷移する。

【0007】

分圧回路113は、互いに直列に接続された2つの抵抗器 R_{11} , R_{12} からなり、一方の端子が出力トランジスタ Q_{P11} のドレインと接続され、他方の端子が接地されている。また、抵抗器 R_{11} , R_{12} との接続ノードが差動増幅回路111の入力端子と接続されている。ここで、分圧回路113は、抵抗器 R_1 , R_2 の抵抗値の比率に応じて内部電圧 V_{INT} が分圧された電位である中間電位 V_{MID} を出力する。

【0008】

従って、内部電圧 V_{INT} が低下した場合には、中間電位 V_{MID} が基準電位 V_{REF}

F と比べて低下するため、差動増幅回路 111 における出力電圧 V_{ADJ} が “L” レベル方向に移動するので、出力トランジスタ Q_{P11} のキャリア供給量が増大して内部電圧 V_{INT} の電位低下が抑制される。逆に、内部電圧 V_{INT} が上昇した場合には、中間電位 V_{MID} が基準電位 V_{REF} と比べて上昇するため、差動増幅回路 111 における出力電圧 V_{ADJ} が “H” レベル方向に移動するので、出力トランジスタ Q_{P11} のキャリア供給量が減少して内部電圧 V_{INT} の電位上昇が抑制される。

【0009】

このように、降圧回路 101 は、差動増幅回路 111 を用いて出力トランジスタ Q_{P11} を制御するため、内部電圧 V_{INT} の電位変化を抑制し、電源電圧 V_{DD} から安定化された電圧として内部電圧 V_{INT} を生成し、内部回路である不揮発性メモリ 103 に供給する。

【0010】

また、近年では、不揮発性メモリ 103 の動作による内部電圧 V_{INT} の電位低下を抑制するために、不揮発性メモリ 103 の制御信号を受けて降圧回路 101 の動作を制御する制御回路を設けた半導体記憶装置が開発されている（例えば、特許文献 1 参照）。以下に、第 2 従来例として、特許文献 1 に記載された半導体記憶装置について説明する。

【0011】

図 9 は、第 2 従来例に係る半導体記憶装置の構成を示している。図 9 において、図 8 に示す部材と同等の部材には同一の符号を付すことにより説明を省略する。

【0012】

図 9 に示すように、第 2 従来例の半導体記憶装置は、制御回路 104 が出力する制御信号をゲートに受け、ソース及びドレインが出力トランジスタ Q_{P11} のソース及びドレインとそれぞれ接続された P チャネル型の補償用トランジスタ Q_{P12} が設けられている。

【0013】

制御回路 104 には、ロジック回路 102 から不揮発性メモリ起動信号 NCE

が入力されている。ここで、不揮発性メモリ起動信号 NCE が “H” レベルから “L” レベルに遷移すると、制御回路 104 は制御信号に所定の期間にわたって接地電位 V_{SS} を出力する。

【0014】

第2従来例の半導体記憶装置は、不揮発性メモリ 103 の停止状態から動作状態となる際に補償用トランジスタ Q_{P12} をオン状態とすることにより、補償用トランジスタ Q_{P12} を通って電源電圧 V_{DD} から内部電圧 V_{INT} にキャリアが供給されるため、内部電圧 V_{INT} の電位低下が抑制される。

【0015】

【特許文献1】

特開平5-21738号公報

【特許文献2】

特開2002-150250号公報

【0016】

【発明が解決しようとする課題】

しかしながら、第1従来例の半導体記憶装置では、不揮発性メモリ 103 の動作時には、内部電圧 V_{INT} が急激に降下してしまうため、ロジック回路 102 及び不揮発性メモリ 103 の動作に不具合が生じるおそれがある。

【0017】

特に、第1従来例の半導体記憶装置を非接触型の IC カードに用いた場合、内部電圧 V_{INT} が急激に降下すると不揮発性メモリ 103 の動作が停止してしまう。具体的に、非接触型の IC カードは、リーダライタと呼ばれる端末機との無線通信により IC カード内の半導体記憶装置に電源電圧 V_{DD} を供給するが、電源電圧 V_{DD} の電圧値は IC カードとリーダライタとの距離によって大きく変動する。このため、非接触型の IC カードに搭載される半導体記憶装置の多くは、電源電圧 V_{DD} の変動により内部電圧 V_{INT} が所定の値以下になった場合に不揮発性メモリ 103 の回路動作を停止してデータを保護するように構成されているので、内部電圧 V_{INT} が急激に降下すると不揮発性メモリの動作が停止するという問題が生じる。

【0018】

このような問題に対し、大容量のキャパシタを内部電圧 V_{INT} と接地電位 V_{SS} との間に設ける場合もあるが、このようにするとキャパシタを構成するために必要な面積が大きくなるため、半導体記憶装置のレイアウト面積縮小が困難となる。

【0019】

また、第2従来例の半導体記憶装置では、補償用トランジスタ Q_{P12} がオン状態とされると、電源電圧 V_{DD} と内部電圧 V_{INT} とが直結されるため、不揮発性メモリ 103 に過電圧が印加されるおそれがあるので、半導体記憶装置の信頼性の点から実用的ではない。

【0020】

このように、第1従来例及び第2従来例の半導体記憶装置はいずれも、不揮発性メモリが停止状態から動作状態となる際に、内部電圧の急激な低下を抑制することが困難であるという問題を有している。

【0021】

本発明は、前記従来の問題を解決し、所定の電圧が内部回路に供給される半導体装置において、内部回路が停止状態から動作状態に変化した場合にも、安定した電圧を供給できるようにすることを目的とする。

【0022】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、内部回路が消費する消費電流量と同一の電流量を消費する負荷回路を備え、内部回路と負荷回路とを交互に動作する構成とする。

【0023】

具体的に、本発明に係る半導体装置は、電源電圧から内部電圧を生成する内部電圧供給回路と、内部電圧により動作する内部回路とを備えた半導体装置であって、内部回路から出力される動作信号をゲートに受けるスイッチトランジスタと、スイッチトランジスタのドレインと接続され、内部回路が動作時に消費する電流量と同一の電流量を消費する負荷回路とを備え、スイッチトランジスタは、動

作信号により、内部回路の動作時にはオフ状態となり、内部回路の非動作時にはオン状態となる。

【0024】

本発明の半導体装置によると、内部回路が動作時に消費する電流量と同一の電流量を消費する負荷回路を備え、内部回路の非動作時にはスイッチトランジスタがオン状態となり、内部回路の動作時にはスイッチトランジスタがオフ状態となるため、負荷回路は、内部回路の非動作時には内部回路が消費する電流量と同一の電流量を消費し、内部回路の動作時には電流を消費しないので、内部回路が非動作状態から動作状態に変化しても内部電圧の電流消費量が変化せず、内部電圧を安定化することができる。

【0025】

本発明の半導体装置は、負荷回路は第1の抵抗器を有していることが好ましい。このようにすると、第1の抵抗器の抵抗値を調節することにより、負荷回路における電流消費量を調節することができる。

【0026】

本発明の半導体装置において、第1の抵抗器が消費する電流量は、内部回路が動作時に消費する電流量と実質的に同一であることが好ましい。

【0027】

本発明の半導体装置において、負荷回路は、第1の抵抗器と直列に接続された負荷調節部を有していることが好ましい。このようにすると、負荷調節部における負荷を調節することにより、負荷回路の電流消費量を調節することができるため、内部回路の電流消費量に半導体装置ごとにばらつきが生じている場合であっても、内部回路が動作時に消費する電流量と同一の電流量を消費するように負荷回路の電流消費量を調節できる。

【0028】

本発明の半導体装置において、第1の抵抗器及び負荷調節部が消費する電流量と、内部回路が動作時に消費する電流量とは同一であることが好ましい。

【0029】

本発明の半導体装置において、負荷調節部は、互いに並列に接続された第2の

抵抗器及びフューズ素子からなることが好ましい。このようにすると、フューズ素子を切断することにより、第1の抵抗器及び負荷調節部が消費する電流量が、内部回路が動作時に消費する電流量と同一となるように、厳密に調節することができる。

【0030】

本発明の半導体装置において、負荷調節部は、互いに並列に接続された第2の抵抗器及びトランジスタからなることが好ましい。このようにすると、トランジスタを制御することにより、第1の抵抗器及び負荷調節部が消費する電流量が、内部回路が動作時に消費する電流量と同一となるように、厳密に調節することができる。

【0031】

本発明の半導体装置において、トランジスタと接続されたラッチ回路をさらに備えていることが好ましい。このようにすると、ラッチ回路に保存されたデータに基づいてトランジスタを制御することができる。

【0032】

本発明の半導体装置において、スイッチトランジスタは、Nチャネル型トランジスタであることが好ましい。

【0033】

本発明の半導体装置において、スイッチトランジスタは、ソースが接地され、ドレインが負荷回路を介して内部電圧供給回路と接続されていることが好ましい。

【0034】

本発明の半導体装置において、スイッチトランジスタは、Pチャネル型トランジスタであることが好ましい。

【0035】

本発明の半導体装置において、スイッチトランジスタは、ソースが内部電圧供給回路と接続され、ドレインが負荷回路を介して接地されていることが好ましい。

【0036】

本発明の IC カードは、本発明の半導体装置を搭載している。

【0037】

本発明の IC カードによると、IC カードに搭載された半導体装置は、内部回路が動作時に消費する電流量と同一の電流量を消費する負荷回路を備え、内部回路の非動作時にはスイッチトランジスタがオン状態となり、内部回路の動作時にはスイッチトランジスタがオフ状態となるため、負荷回路は、内部回路の非動作時には内部回路が消費する電流量と同一の電流量を消費し、内部回路の動作時には電流を消費しないので、内部回路が非動作状態から動作状態に変化しても内部電圧の電流消費量が変化せず、内部電圧を安定化することができる。また、大容量のキャパシタを用いずに内部電圧を安定化するため、半導体装置のレイアウト面積を増大させることなく内部電圧が安定化された高信頼性の IC カードを得ることが可能となる。

【0038】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0039】

図1は第1の実施形態に係る半導体記憶装置の構成を示している。図1に示すように、第1の実施形態の半導体記憶装置は、入力端子から入力される電源電圧 V_{DD} を降圧して電源電圧よりも低電位の内部電圧 V_{INT} を生成する降圧回路11と、内部電圧 V_{INT} により動作するロジック回路12及び不揮発性メモリ13と、不揮発性メモリからのメモリ活性化信号 R_{ACT} に応じて動作する消費電流制御回路14とを備えている。

【0040】

降圧回路11は、ソースに電源電圧 V_{DD} が印加され、ドレインに内部電圧 V_{INT} を出力するPチャネル型の出力トランジスタ Q_{P1} と、2つの入力端子間の電位差に応じた出力電圧 V_{ADJ} を出力トランジスタ Q_{P1} のゲートに出力する差動増幅回路21と、該差動増幅回路21の一方の入力端子に基準電位 V_{REF} を入力する

基準電圧発生回路 22 と、差動増幅回路 21 の他方の入力端子に中間電位 V_{MID} を入力する分圧回路 23 とからなる。降圧回路 11 に入力された電原電圧 V_{DD} は、出力トランジスタ Q_{P1} のソースドレイン間抵抗により一定レベル降圧されて内部電圧 V_{INT} として出力される。

【0041】

差動増幅回路 21 は中間電位 V_{MID} と基準電位 V_{REF} との電位差 ($V_{MID} - V_{REF}$) に応じた出力電位 V_{ADJ} を出力する。具体的には、中間電位 V_{MID} が基準電位 V_{REF} よりも大きい場合には出力電位 V_{ADJ} は“H”レベル方向に遷移し、中間電位 V_{MID} が基準電位 V_{REF} よりも小さい場合には出力電位 V_{ADJ} は“L”レベル方向に遷移する。

【0042】

基準電圧発生回路 22 は、例えば電原電圧 V_{DD} と接地電位 V_{SS} との間に直列に接続された複数の抵抗素子及びダイオード素子からなり、電源電圧 V_{DD} が所定の電位以上である場合に、電源電圧 V_{DD} に依存しないではほぼ一定した電位の基準電位 V_{REF} を出力する。

【0043】

分圧回路 23 は、直列に接続された 2 つの抵抗器 R_1 , R_2 からなり、一方の端子が出力トランジスタ Q_{P1} のドレインと接続され、他方の端子が接地されている。また、抵抗器 R_1 , R_2 との接続ノードが差動増幅回路 21 の入力端子と接続されている。

【0044】

ここで、抵抗器 R_1 , R_2 のそれぞれの抵抗値を r_1 , r_2 とすると、分圧回路 23 が出力する中間電位 V_{MID} の値は、以下の式 (1) で表される。

$$V_{MID} = r_2 / (r_1 + r_2) \cdot V_{INT} \quad \cdots (1)$$

式 (1) に示すように、中間電位 V_{MID} は、抵抗器 R_1 , R_2 の抵抗値の比率に応じて内部電圧 V_{INT} が分圧された値となる。

【0045】

従って、内部電圧 V_{INT} が低下した場合には、中間電位 V_{MID} が基準電位 V_{REF} と比べて低下するため、差動増幅回路 111 における出力電圧 V_{ADJ} が“L”

レベル方向に移動するので、出力トランジスタ Q_{P1} におけるキャリア供給量が増大して内部電圧 V_{INT} の電位低下が抑制される。

【0046】

逆に、内部電圧 V_{INT} が上昇した場合には、中間電位 V_{MID} が基準電位 V_{REF} と比べて上昇するため、差動増幅回路 111 における出力電圧 V_{ADJ} が“H”レベル方向に移動するので、出力トランジスタ Q_{P1} におけるキャリア供給量が減少して内部電圧 V_{INT} の電位上昇が抑制される。

【0047】

このように、降圧回路 11 は、差動増幅回路 21 を用いて出力トランジスタ Q_{P1} を制御することにより、電源電圧 V_{DD} から安定化された電圧として内部電圧 V_{INT} を生成して、内部回路である不揮発性メモリ 13 に供給する内部電圧供給回路として機能する。

【0048】

なお、第1の実施形態において、内部電圧 V_{INT} を供給する回路は、降圧回路 11 に限られず、安定化された内部電圧 V_{INT} を不揮発性メモリ 13 に供給できる回路であればよく、例えば昇圧回路であってもよい。

【0049】

ロジック回路 12 は、不揮発性メモリ 13 の動作を制御する回路であり、不揮発性メモリ 13 を起動するための信号として不揮発性メモリ起動信号 NCE を出力する。不揮発性メモリ起動信号 NCE は初期状態で“H”レベルにあり、不揮発性メモリ 13 は、不揮発性メモリ起動信号 NCE が“H”レベルから“L”レベルに遷移したことを検知することによりビット線のイコライズオフ、ワード線の駆動、センス増幅等の一連の読み出し動作、消去動作又は書き換え動作を行う。

【0050】

不揮発性メモリ 13 は、例えば強誘電体メモリセルからなるメモリセルアレイと、メモリセルアレイに対する読み出し動作、消去動作又は書き換え動作等の所定の動作を制御するメモリ制御部とを有している。不揮発性メモリ 13 において、メモリセルアレイに対する動作を制御する信号のうちの1つであるメモリ活性

化信号 R_{ACT} は、初期状態で“H”レベルにあり、不揮発性メモリ起動信号 $NC E$ の立ち下がりから、読み出し動作、消去動作又は書き換え動作等の一連の動作が終了するまでの間“L”レベルとなる。

【0051】

消費電流制御回路 14 は、ゲートに不揮発性メモリ 13 からのメモリ活性化信号 R_{ACT} を受け、ソースが接地された N チャネル型のスイッチトランジスタ Q_{N1} と、一方の端子がスイッチトランジスタ Q_{N1} のドレインと接続され、他方の端子が内部電圧 V_{INT} と接続された抵抗器 R_3 とを有している。

【0052】

抵抗器 R_3 の抵抗値は、抵抗器 R_3 が消費する単位時間当たりの電流量が、不揮発性メモリ 13 が動作時に消費する単位時間当たりの電流量とほぼ同一となるように設定されている。具体的には、例えば不揮発性メモリ 13 における設計上の回路特性をシミュレーションすることにより、不揮発性メモリ 13 の消費電流量を求めることができ、この消費電流量と抵抗器 R_3 の抵抗値を設定することができる。

【0053】

ここで、不揮発性メモリ 13 が動作している間は、メモリ活性化信号 R_{ACT} が“L”レベルであるため、スイッチトランジスタ Q_{N1} がオフ状態であるので、消費電流制御回路 14 では電流が消費されない。

【0054】

逆に、不揮発性メモリ 13 が動作していない間は、メモリ活性化信号 R_{ACT} が“H”レベルであるため、スイッチトランジスタ Q_{N1} がオン状態であるので、内部電圧 V_{INT} がスイッチトランジスタ Q_{N1} を介して接地に流れる。このとき、抵抗器 R_3 が、不揮発性メモリ 13 が消費する電流量と同等の電流を消費する負荷回路となる。

【0055】

従って、不揮発性メモリ 13 の動作時には消費電流制御回路 14 が停止して不揮発性メモリ 13 が所定の電流を消費し、不揮発性メモリ 13 の停止時には消費電流制御回路 14 が動作して不揮発性メモリが消費する電流とほぼ同一の電流量

を消費するため、不揮発性メモリ 13 が停止状態の場合と動作状態の場合とではほぼ同じ量の電流が消費される。

【0056】

以上説明したように、第 1 の実施形態の半導体記憶装置によると、不揮発性メモリ 13 が停止状態から動作状態となる際に内部電圧 V_{INT} の電位が低下することがなく、内部電圧 V_{INT} の安定化が可能となる。

【0057】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0058】

図 2 は第 2 の実施形態に係る半導体記憶装置の構成を示している。図 2 において、図 1 に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。

【0059】

図 2 に示すように、第 2 の実施形態の半導体装置は、消費電流制御回路 31 の構成が第 1 の実施形態と異なっており、降圧回路 11、ロジック回路 12、不揮発性メモリ 13 の構成は第 1 の実施形態と同一である。

【0060】

第 2 の実施形態の消費電流制御回路 31 は、スイッチトランジスタ Q_{N1} と、抵抗器 R_4 と、直列に接続された抵抗器 R_5 、 R_6 及び該抵抗器 R_5 、 R_6 のそれぞれに並列に接続されたフューズ F_1 、 F_2 からなる負荷調節部 32 とが直列に接続されている。ここで、フューズ F_1 、 F_2 は、半導体記憶装置の外部から切断可能な物理フューズとして形成されている。

【0061】

スイッチトランジスタ Q_{N1} は、ゲートに不揮発性メモリ 13 からメモリ活性化信号 R_{ACT} が入力され、ソースが接地されている。抵抗器 R_4 は、一方の端子がスイッチトランジスタ Q_{N1} のドレインと接続され、他方の端子が抵抗器 R_5 とフューズ F_1 との共通端子と接続されている。また、抵抗器 R_6 とフューズ F_2 と

の共通端子は、内部電圧 V_{INT} と接続されている。

【0062】

抵抗器 R_4 の抵抗値は、抵抗器 R_4 が消費する単位時間当たりの電流量が、不揮発性メモリ 13 が動作時に消費する単位時間当たりの電流量よりも若干大きくなるように設定されている。具体的には、例えば不揮発性メモリ 13 における設計上の回路特性をシミュレーションすることにより、不揮発性メモリ 13 の消費電流量を求めることができ、この消費電流量から抵抗器 R_4 の抵抗値を設定することができる。

【0063】

負荷調節部 32 は、消費電流制御回路 31 が消費する電流量と不揮発性メモリ 13 が消費する電流量とがほぼ同一となるように、消費電流制御回路 31 の負荷を調節する。具体的に、不揮発性メモリで消費する電流値を実際に測定した後、測定された電流値と、抵抗器 R_4 及び負荷調節部 32 で消費する電流値とほぼ同一となるように、フューズ F_1 , F_2 のうちのいずれか又は両方を切断する。これにより、抵抗器 R_4 と負荷調節部 32 とを、不揮発性メモリ 13 の電流消費量とほぼ同一の電流量を消費する負荷回路として用いることができる。

【0064】

不揮発性メモリ 13 の消費電流量は、製造プロセスのばらつきやウエハ面内でのばらつきによりチップごとに異なるため、負荷調節部 32 の抵抗値を調節することによりチップごとの消費電流量にあわせて抵抗器 R_4 及び負荷調節部 32 で消費する電流量を調節することができる。

【0065】

なお、第 2 の実施形態では、負荷調節部 32 を、抵抗及びフューズが互いに並列に接続された並列回路を 2 つ用いているが、抵抗及びフューズが互いに並列に接続された並列回路の数は 2 つに限られない。抵抗及びフューズが互いに並列に接続された並列回路をより多く設けることにより、さらに詳細な設定が可能となり、抵抗器 R_4 及び負荷調節部 32 で消費する電流量をさらに厳密に調節することができる。

【0066】

また、負荷調節部 32 は、スイッチトランジスタ Q_{N1} のドレイン側に、抵抗器 R_4 、負荷調節部 32 の順に接続された構成に限られず、抵抗器 R_4 及び負荷調節部 32 が、スイッチトランジスタ Q_{N1} と直列に接続されていればよい。

【0067】

以上説明したように、第 2 の実施形態によると、消費電流制御回路 31 が動作時に消費する電流量が、不揮発性メモリ 13 が動作時に消費する電流量と同一となるように厳密に調節できる。

【0068】

(第 3 の実施形態)

以下、本発明の第 3 の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0069】

図 3 は第 3 の実施形態に係る半導体記憶装置の構成を示している。図 3 において、図 1 及び図 2 に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。

【0070】

図 3 に示すように、第 3 の実施形態の半導体装置は、消費電流制御回路 41 の構成が第 1 の実施形態と異なっており、降圧回路 11、ロジック回路 12、不揮発性メモリ 13 の構成は第 1 の実施形態と同様である。

【0071】

第 2 の実施形態の消費電流制御回路 41 は、スイッチトランジスタ Q_{N1} と、抵抗器 R_4 と、直列に接続された抵抗器 R_5 、 R_6 及び該抵抗器 R_5 、 R_6 のそれぞれに並列に接続された P チャネル型トランジスタ Q_{P2} 、 Q_{P3} からなる負荷調節部 42 とが直列に接続されている。また、P チャネル型トランジスタ Q_{P2} 、 Q_{P3} には、所定のデータを格納するためのラッチ回路 43、44 がそれぞれに接続されている。

【0072】

スイッチトランジスタ Q_{N1} は、ゲートに不揮発性メモリ 13 からメモリ活性化信号 R_{ACT} が入力され、ソースが接地されている。抵抗器 R_4 は、一方の端子が

スイッチトランジスタ Q_{N1} のドレインと接続され、他方の端子が抵抗器 R_5 と P チャネル型トランジスタ Q_{P2} との共通端子と接続されている。また、抵抗器 R_6 と P チャネル型トランジスタ Q_{P3} との共通端子は、内部電圧 V_{INT} と接続されている。

【0073】

抵抗器 R_4 の抵抗値は、抵抗器 R_4 が消費する単位時間当たりの電流量が、不揮発性メモリ 13 が動作時に消費する単位時間当たりの電流量よりも若干大きくなるように設定されている。具体的には、例えば不揮発性メモリ 13 における設計上の回路特性をシミュレーションすることにより、不揮発性メモリ 13 の消費電流量を求めることができ、この消費電流量から抵抗器 R_4 の抵抗値を設定することができる。

【0074】

負荷調節部 42 は、消費電流制御回路 41 が消費する電流量と不揮発性メモリ 13 が消費する電流量とがほぼ一致するように、消費電流制御回路 41 の負荷を調節する。

【0075】

具体的に、まず、不揮発性メモリで消費する電流値を実際に測定した後、測定された電流値に基づいて、抵抗器 R_4 及び負荷調節部 42 で消費する電流値とほぼ一致するように、必要な補正データを不揮発性メモリ 13 の所定領域に予め書き込んでおく。

【0076】

次に、半導体記憶装置の電源が投入された後に不揮発性メモリ 13 から補正データをラッチ回路 43, 44 に格納する。これにより、ラッチ回路 43, 44 に格納されたデータに基づいて、P チャネル型トランジスタ Q_{P2} , Q_{P3} のうちのいずれか又は両方を切断されて、負荷調節部 42 の抵抗値が調節される。これにより、抵抗器 R_4 と負荷調節部 42 とを、不揮発性メモリ 13 の電流消費量とほぼ同一の電流量を消費する負荷回路として用いることができる。

【0077】

不揮発性メモリ 13 の消費電流量は、製造プロセスのばらつきやウエハ面内で

のばらつきによりチップごとに異なるため、負荷調節部 42 の抵抗値を調節することによりチップごとの消費電流量にあわせて抵抗器 R_4 及び負荷調節部 42 で消費する電流量を調節することができる。

【0078】

なお、第 3 の実施形態では、負荷調節部 42 を、抵抗及び P チャネル型トランジスタが互いに並列に接続された並列回路を 2 つ用いているが、抵抗及び P チャネル型トランジスタが互いに並列に接続された並列回路の数は 2 つに限られない。抵抗及び P チャネル型トランジスタが互いに並列に接続された並列回路をより多く設けることにより、さらに詳細な設定が可能となり、抵抗器 R_4 及び負荷調節部 42 で消費する電流量をさらに厳密に調節することができる。

【0079】

また、負荷調節部 42 は、スイッチトランジスタ Q_{N1} のドレイン側に、抵抗器 R_4 、負荷調節部 42 の順に接続された構成に限られず、抵抗器 R_4 及び負荷調節部 42 が、スイッチトランジスタ Q_{N1} と直列に接続されていればよい。

【0080】

以上説明したように、第 3 の実施形態によると、消費電流制御回路 41 が動作時に消費する電流量が、不揮発性メモリ 13 が動作時に消費する電流量と同一となるように厳密に調節できる。

【0081】

(第 4 の実施形態)

以下、本発明の第 4 の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0082】

図 4 は第 4 の実施形態に係る半導体記憶装置の構成を示している。図 4 において、図 1 に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。

【0083】

図 4 に示すように、第 4 の実施形態の半導体装置は、消費電流制御回路 51 の構成が第 1 の実施形態と異なっている。消費電流制御回路 51 は、ゲートに不揮

発性メモリ 13 からのメモリ活性化信号 R_{ACT} を受け、ソースが内部電圧 V_{INT} と接続された P チャネル型のスイッチトランジスタ Q_{P4} と、一方の端子がスイッチトランジスタ Q_{P4} のドレインと接続され、他方の端子が接地された抵抗器 R_3 とを有している。

【0084】

抵抗器 R_3 の抵抗値は、抵抗器 R_3 が消費する単位時間当たりの電流量が、不揮発性メモリ 13 が動作時に消費する単位時間当たりの電流量とほぼ一致するように設定されている。

【0085】

第 4 の実施形態では、不揮発性メモリ 13 から出力されるメモリ活性化信号 R_{ACT} は、初期状態で “L” レベルにあり、不揮発性メモリ起動信号 NCE の立ち下がりから、読み出し動作、消去動作又は書き換え動作等の一連の動作が終了するまでの間 “H” レベルとなる。

【0086】

従って、不揮発性メモリ 13 が動作している間は、メモリ活性化信号 R_{ACT} が “H” レベルであるため、スイッチトランジスタ Q_{P4} がオフ状態であるので、消費電流制御回路 51 では電流が消費されない。

【0087】

逆に、不揮発性メモリ 13 が動作していない間は、メモリ活性化信号 R_{ACT} が “L” レベルであるため、スイッチトランジスタ Q_{P4} がオン状態であるので、内部電圧 V_{INT} がスイッチトランジスタ Q_{P4} を介して接地に流れるので、抵抗器 R_3 が、不揮発性メモリ 13 が消費する電流量とほぼ一致する電流量を消費する。

【0088】

(第 5 の実施形態)

以下、本発明の第 5 の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0089】

図 5 は第 5 の実施形態に係る半導体記憶装置の構成を示している。図 5 において、図 2 及び図 4 に示す部材と同一の部材には同一の符号を付すことにより説明

を省略する。

【0090】

図5に示すように、第5の実施形態の消費電流制御回路61は、スイッチトランジスタ Q_{P4} と、抵抗器 R_4 と、直列に接続された抵抗器 R_5 、 R_6 及び該抵抗器 R_5 、 R_6 のそれぞれに並列に接続されたフューズ F_1 、 F_2 からなる負荷調節部32とが直列に接続されている。ここで、フューズ F_1 、 F_2 は、半導体記憶装置の外部から切断可能な物理フューズとして形成されている。

【0091】

ここで、スイッチトランジスタ Q_{P4} は、第4の実施形態と同様に、不揮発性メモリ13が動作している間はメモリ活性化信号 R_{ACT} が“H”レベルであるためオフ状態となり、不揮発性メモリ13が動作していない間はメモリ活性化信号 R_{ACT} が“L”レベルであるためオン状態となる。

【0092】

また、負荷調節部32は、第2の実施形態と同様に、消費電流制御回路61が消費する電流量と不揮発性メモリ13が消費する電流量とがほぼ一致するように、消費電流制御回路61の負荷を調節する。

【0093】

第6の実施形態においても、第2の実施形態と同様に、不揮発性メモリ13が動作時に消費する電流量と、消費電流制御回路31が動作時に消費する電流量との差を厳密に調節できる。

【0094】

(第6の実施形態)

以下、本発明の第6の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0095】

図6は第6の実施形態に係る半導体記憶装置の構成を示している。図6において、図3及び図4に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。

【0096】

図6に示すように、スイッチトランジスタ Q_{P4} と、抵抗器 R_4 と、抵抗器 R_4 と、直列に接続された抵抗器 R_5 、 R_6 及び該抵抗器 R_5 、 R_6 のそれぞれに並列に接続されたPチャネル型トランジスタ Q_{P2} 、 Q_{P3} からなる負荷調節部42とが直列に接続されている。

【0097】

ここで、スイッチトランジスタ Q_{P4} は、第4の実施形態と同様に、不揮発性メモリ13が動作している間はメモリ活性化信号 R_{ACT} が“H”レベルであるためオフ状態となり、不揮発性メモリ13が動作していない間はメモリ活性化信号 R_{ACT} が“L”レベルであるためオン状態となる。

【0098】

また、負荷調節部42は、第3の実施形態と同様に、不揮発性メモリ13に補正データを書き込むことにより、消費電流制御回路71が消費する電流量と不揮発性メモリ13が消費する電流量とがほぼ一致するように、消費電流制御回路31の負荷を調節する。

【0099】

第6の実施形態においても、第3の実施形態と同様に、不揮発性メモリ13が動作時に消費する電流量と、消費電流制御回路71が動作時に消費する電流量との差を厳密に調節できる。

【0100】

(第7の実施形態)

以下、本発明の第7の実施形態に係るICカードについて図面を参照しながら説明する。

【0101】

図7は第7の実施形態に係るICカードの構成を示している。図7において、図1に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。

【0102】

図7に示すように、外部からの電磁波を受信するアンテナコイル81と、電磁波の周波数に共振するようにアンテナコイル81と並列に接続された共振容量 C_1 と、アンテナコイル81の出力から電源電圧 V_{DD} を発生する整流回路82と、

整流後の $V_{DD}-V_{SS}$ 間の波形を平滑化するための平滑容量 C_2 とが設けられている。電源電圧 V_{DD} は、アナログ回路83、デジタル回路84に供給されると共に、降圧回路11に供給される。

【0103】

アンテナコイル81を介して得られた電源電圧 V_{DD} は、不揮発性メモリ13及び不揮発性メモリの動作を制御するロジック回路12の動作電圧と比べて電圧値が大きいため、降圧回路11を介して電源電圧 V_{DD} を降圧した内部電圧 V_{INT} がロジック回路12及び不揮発性メモリ13に供給される。

【0104】

アナログ回路83は、アンテナコイル81から入力された受信データ及び制御信号の複合化とデジタル回路84から生成される送信データ及び制御信号の電磁波の搬送波に変調する機能を有する。また、デジタル回路84は、アナログ回路83を介してアンテナコイル81から入力された制御信号に基づいてデジタル信号を処理するCPU等を含み、アナログ回路83を介してアンテナコイル81から入力された制御信号に基づいてロジック回路12の動作を制御する。

【0105】

第7の実施形態のICカードにおいても、第1の実施形態と同様に、不揮発性メモリ13の起動に伴う内部電圧 V_{INT} の電位低下を抑制する回路として、スイッチトランジスタ Q_{N1} 及び抵抗器 R_3 からなる消費電流制御回路14が設けられている。消費電流制御回路14の動作は第1の実施形態と同様であるため説明を省略する。

【0106】

第7の実施形態のICカードによると、不揮発性メモリ13の起動時にも内部電圧 V_{INT} の電位が低下することがなく、内部電圧 V_{INT} の安定化が可能となる。特に、ICカードでは、半導体装置を搭載することができる面積が限られているため、不揮発性メモリ13が停止状態から動作状態となる際に生じる内部電圧 V_{INT} の電位低下を抑制するために、素子面積の大きい大容量のキャパシタ等を用いることが困難であるが、消費電流制御回路14を用いることにより、半導体装置のレイアウト面積を増大させることがない。

【0107】

なお、第7の実施形態では、第1の実施形態の消費電流制御回路を用いているが、第2の実施形態から第6の実施形態に示す消費電流制御回路のうちのいずれを用いてもよい。

【0108】**【発明の効果】**

本発明の半導体装置によると、内部回路が停止状態から動作状態に変化しても内部電圧の電位が低下することがなく、内部電圧の安定化が可能となる。

【図面の簡単な説明】**【図1】**

本発明の第1の実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図2】

本発明の第2の実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図3】

本発明の第3の実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図4】

本発明の第4の実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図5】

本発明の第5の実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図6】

本発明の第6の実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図7】

本発明の第7の実施形態に係る半導体記憶装置の構成を示すブロック図である。

。

【図 8】

第 1 従来例に係る半導体記憶装置の構成を示すブロック図である。

【図 9】

第 2 従来例に係る半導体記憶装置の構成を示すブロック図である。

【符号の説明】

1 1 降圧回路（内部電圧供給回路）

1 2 ロジック回路

1 3 不揮発性メモリ（内部回路）

1 4 消費電流制御回路

2 1 差動増幅回路

2 2 基準電圧発生回路

2 3 分圧回路

3 1 消費電流制御回路

3 2 負荷調節部

4 1 消費電流制御回路

4 2 負荷調節部

4 3 ラッチ回路

4 4 ラッチ回路

5 1 消費電流制御回路

6 1 消費電流制御回路

7 1 消費電流制御回路

8 1 アンテナコイル

8 2 整流回路

8 3 アナログ回路

8 4 デジタル回路

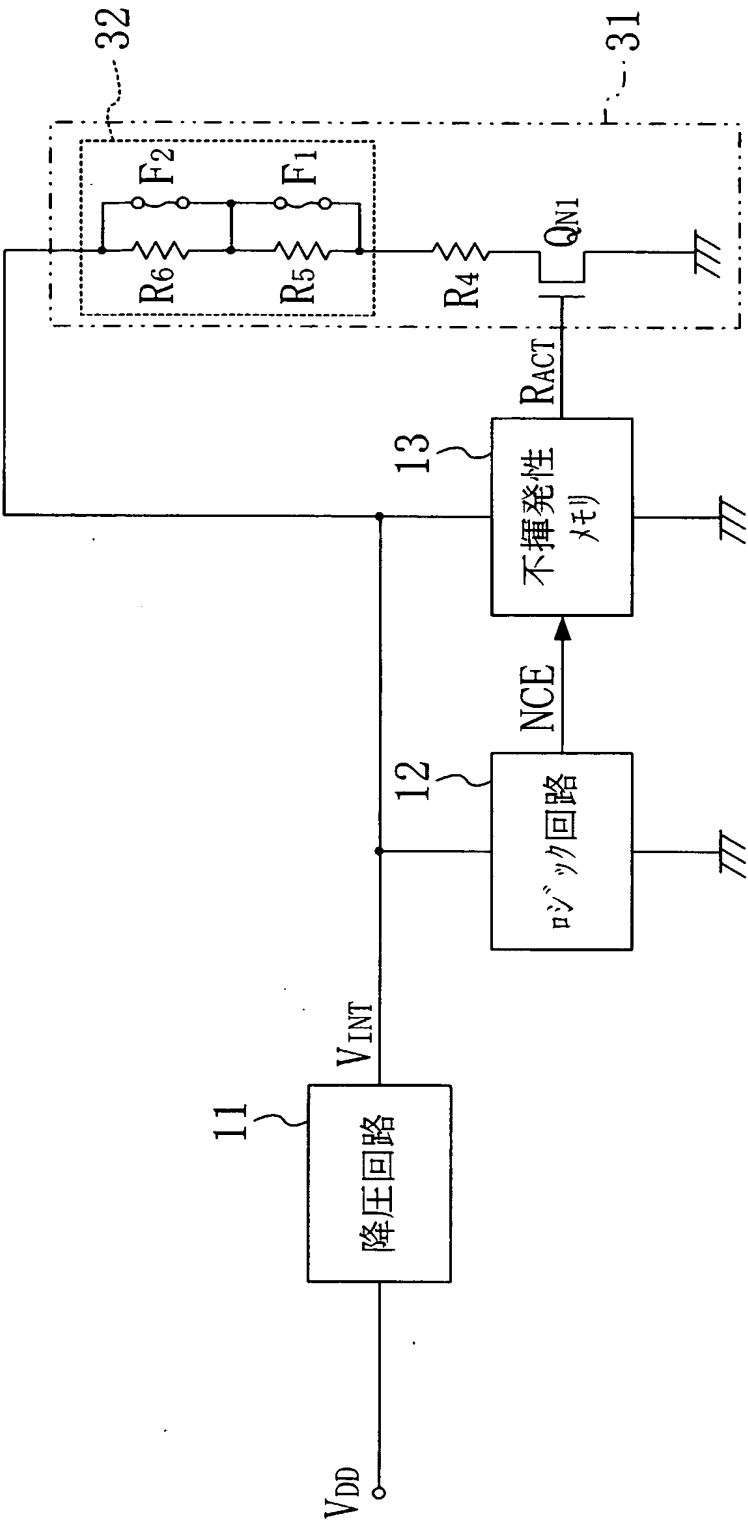
QP1 出力トランジスタ

QP2 Pチャネル型トランジスタ

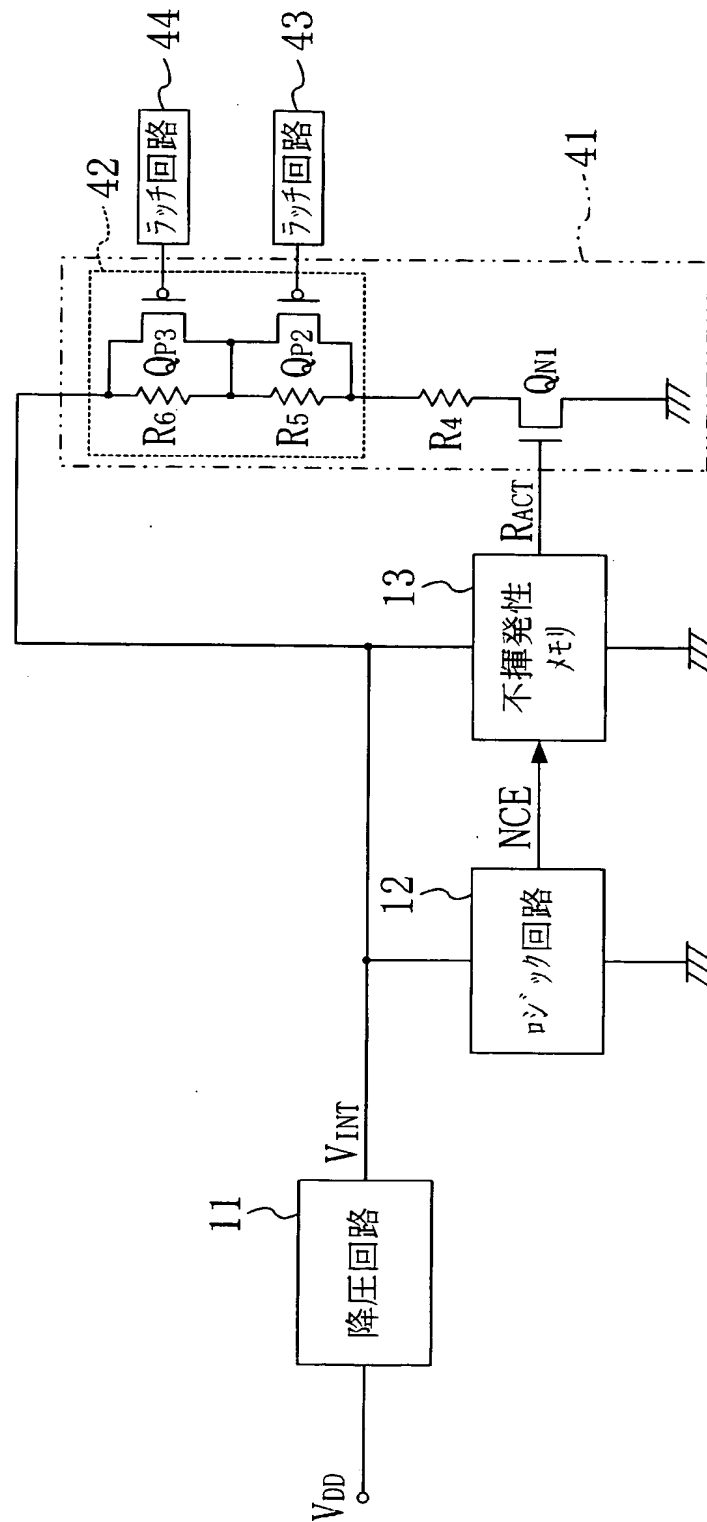
QP3 Pチャネル型トランジスタ

Q_{P4} スイッチトランジスタ
Q_{N1} スイッチトランジスタ
R₁ 抵抗器
R₂ 抵抗器
R₃ 抵抗器 (第 1 の抵抗器、負荷回路)
R₄ 抵抗器 (第 1 の抵抗器)
R₅ 抵抗器 (第 2 の抵抗器)
R₆ 抵抗器 (第 2 の抵抗器)
F₁ ヒューズ
F₂ ヒューズ
C₁ 共振容量
C₂ 平滑容量
V_{DD} 電源電圧
V_{SS} 接地電圧
V_{INT} 内部電圧
V_{REF} 基準電位
V_{MID} 中間電位
V_{ADJ} 出力電圧

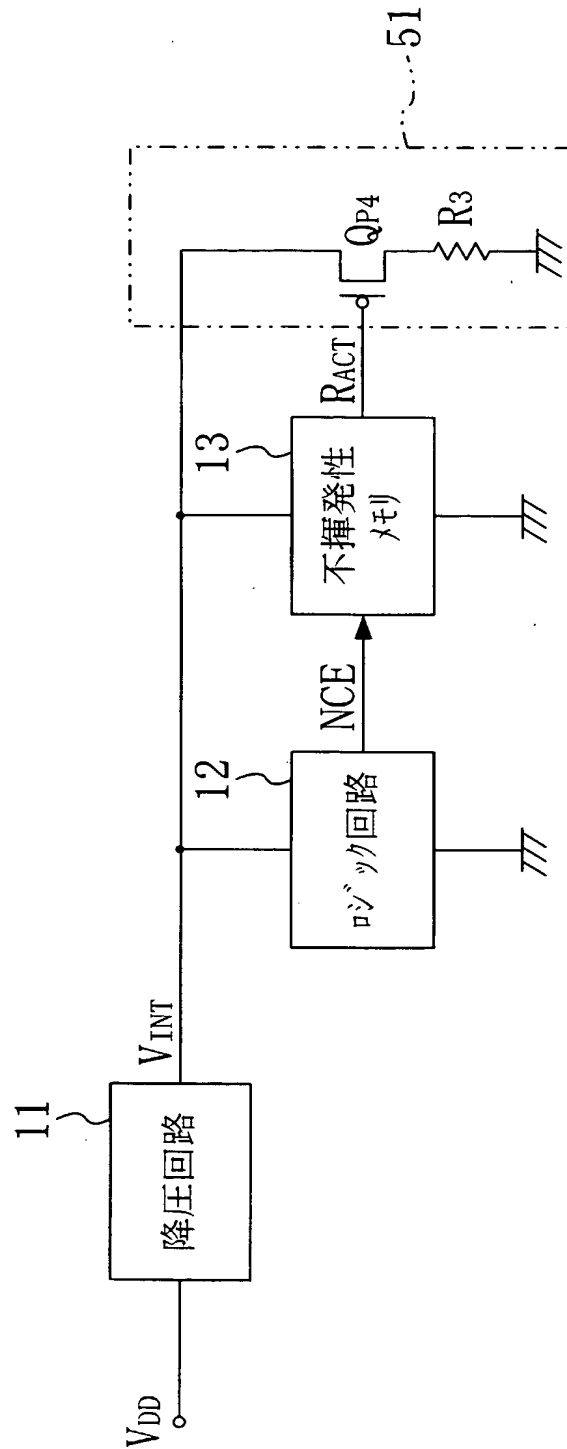
【図 2】



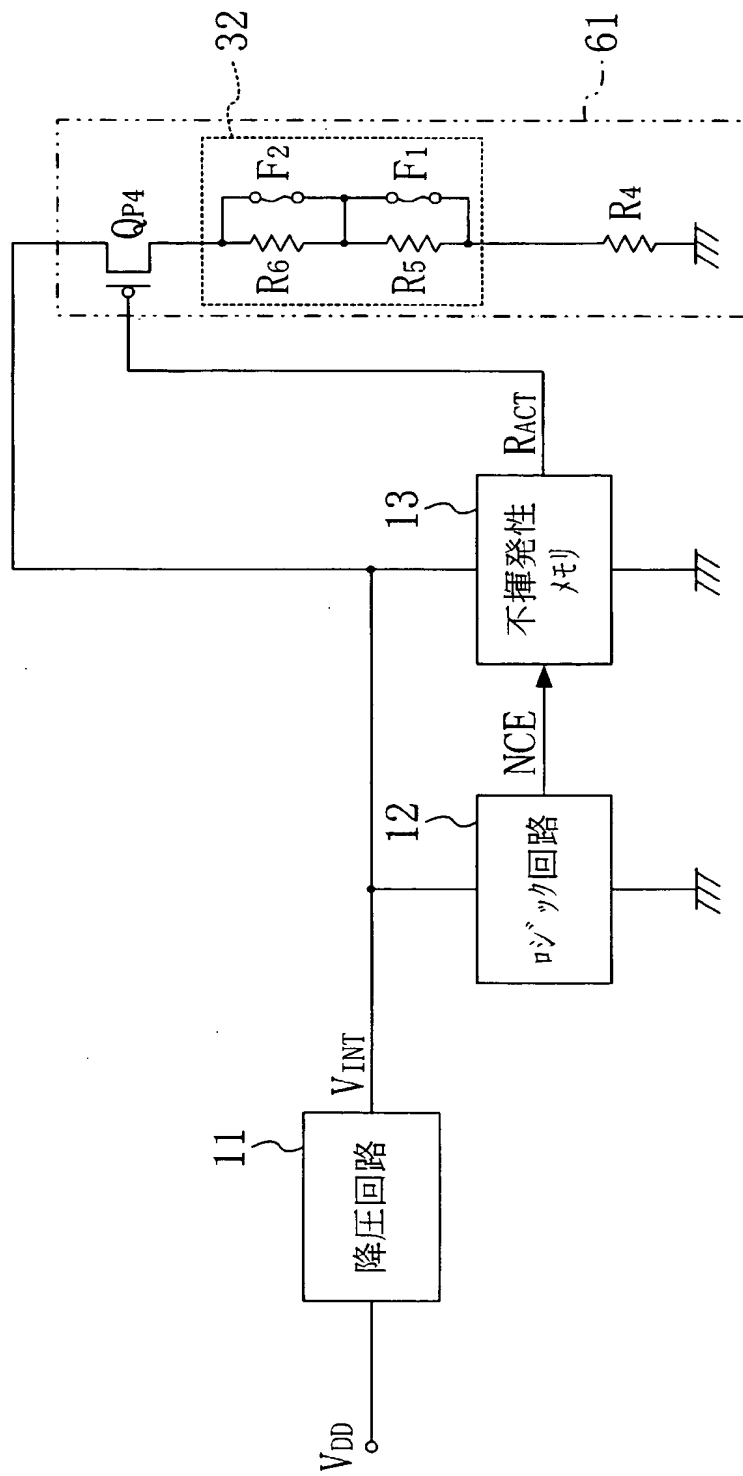
【図 3】



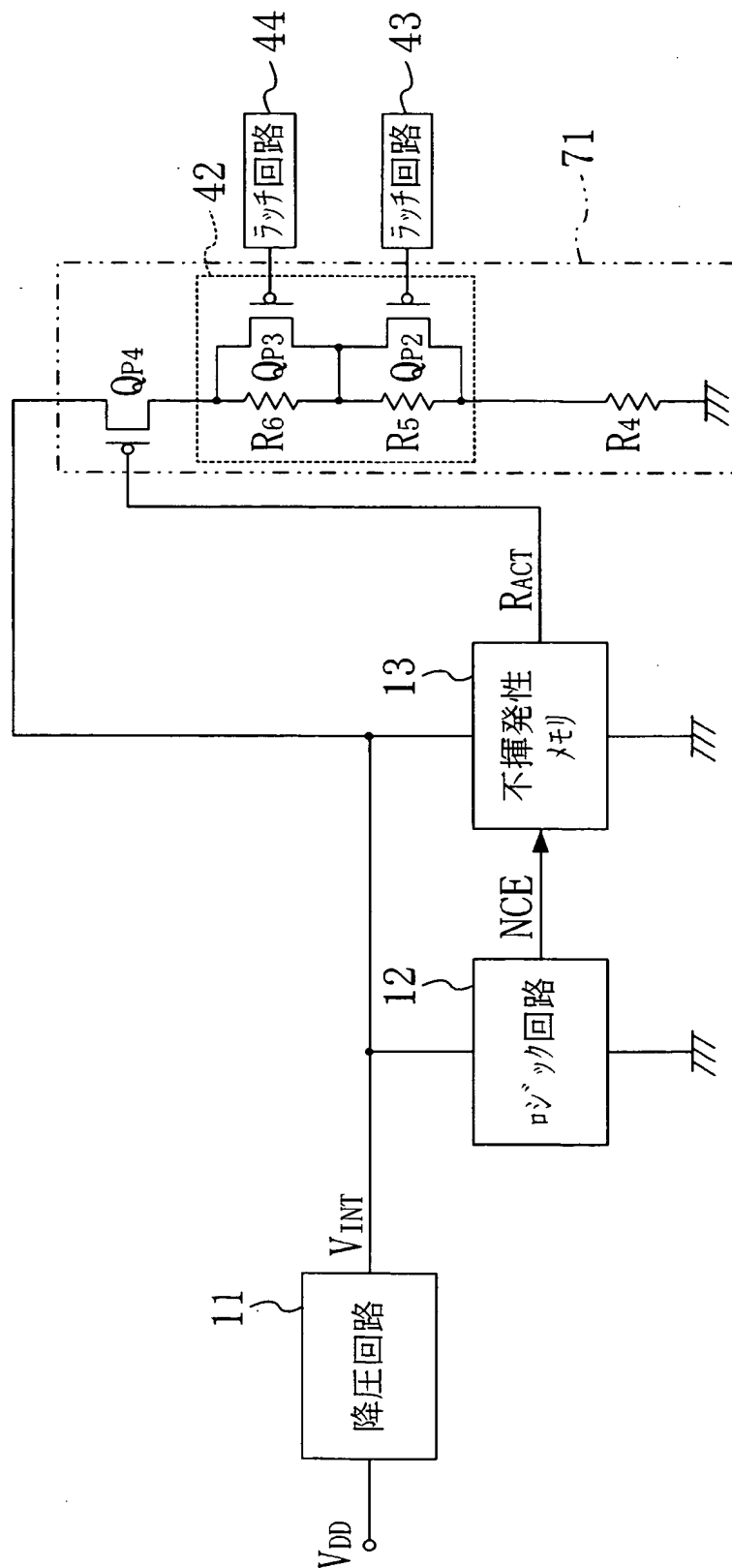
【図 4】



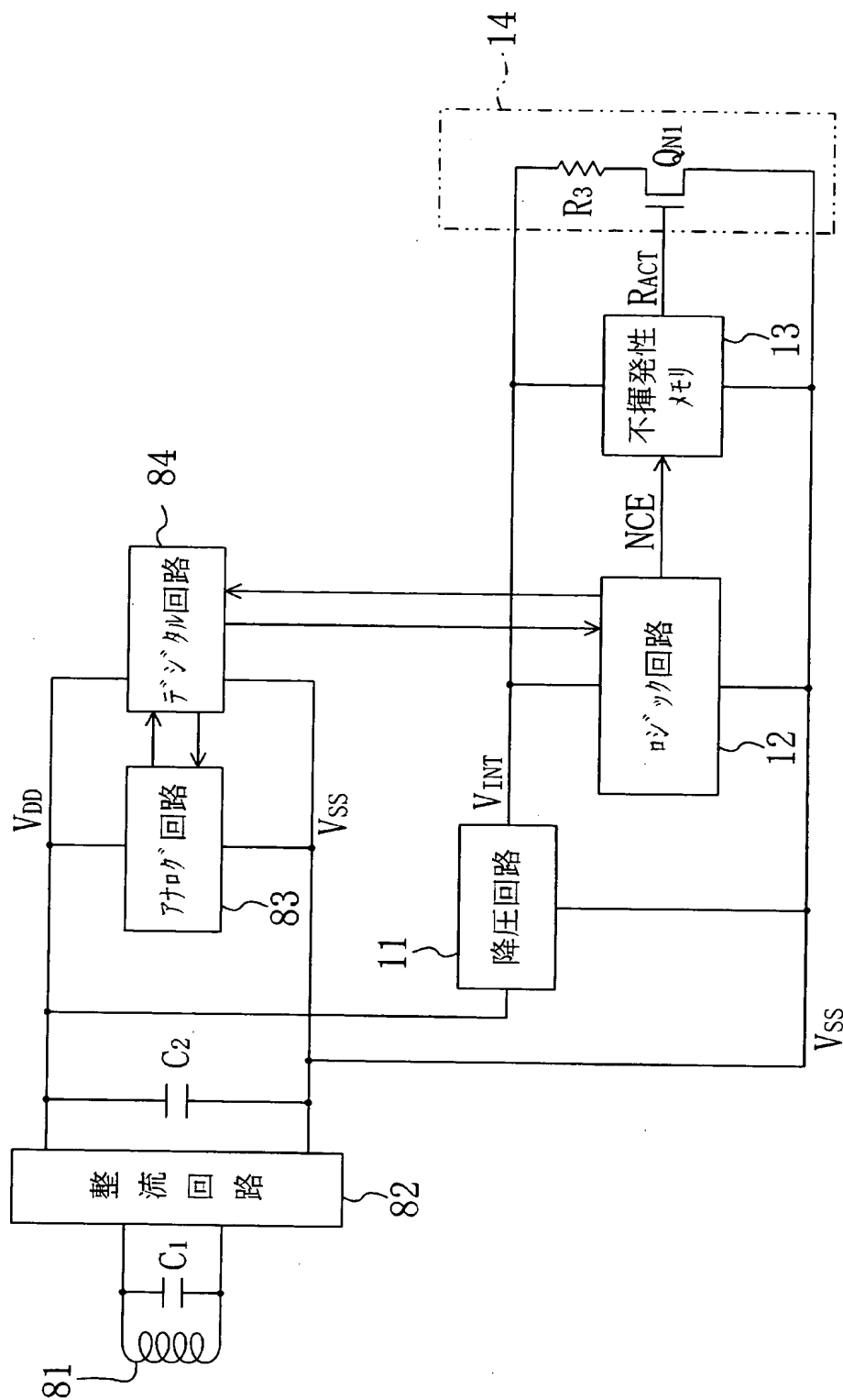
【図 5】



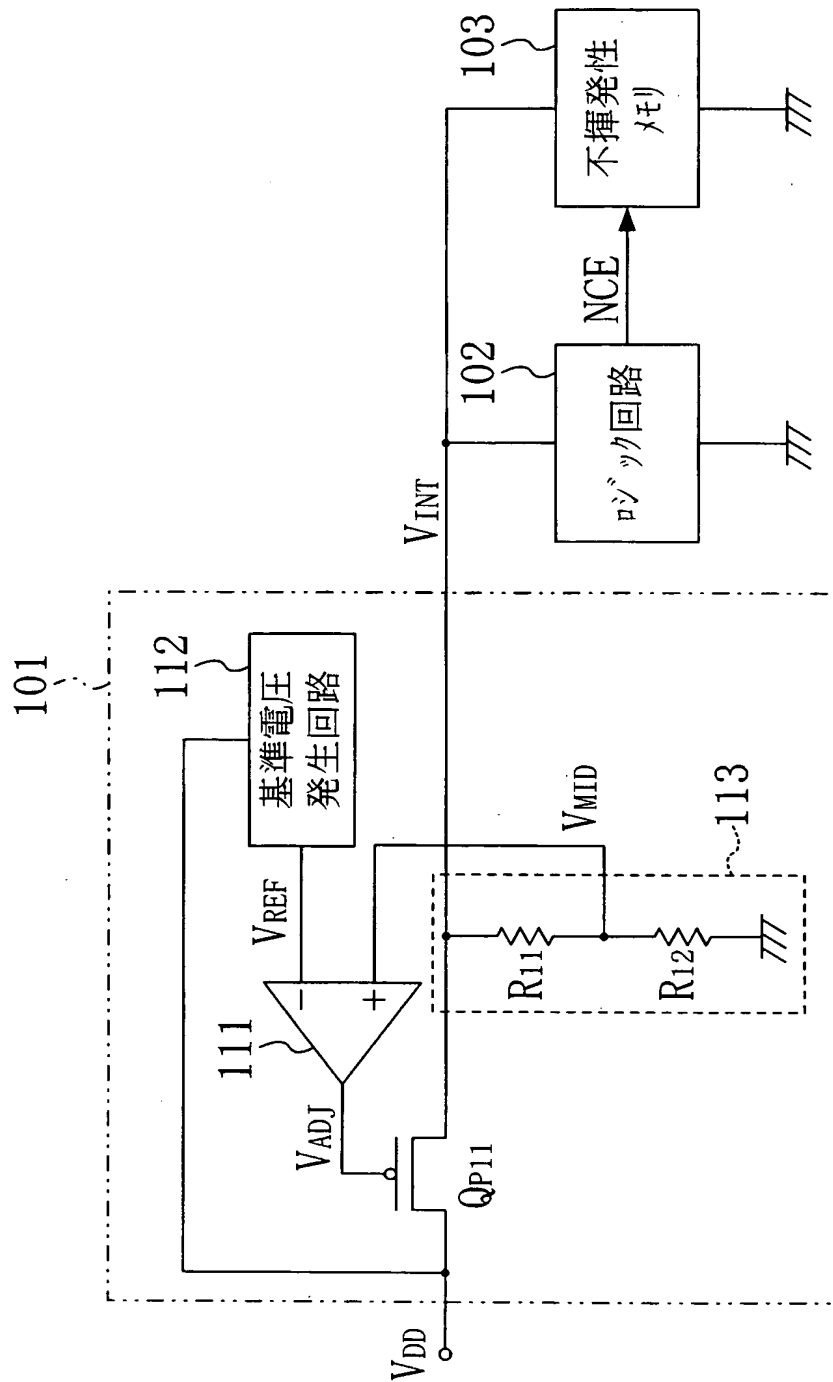
【図 6】



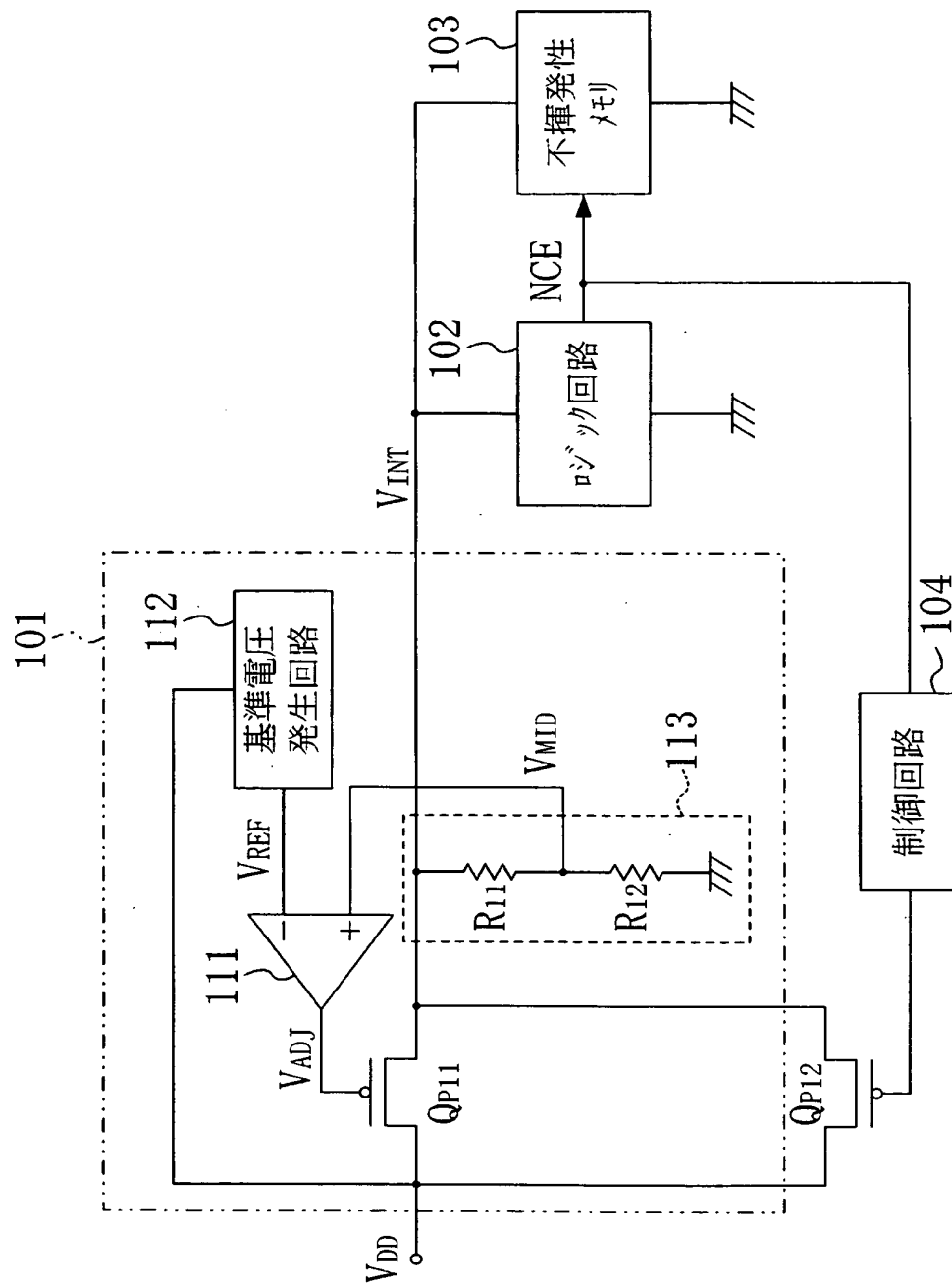
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 所定の電圧が内部回路に供給される半導体装置において、内部回路が停止状態から動作状態に変化した場合にも、安定した電圧を供給できるようにする。

【解決手段】 半導体記憶装置は、電源電圧 V_{DD} を降圧して内部電圧 V_{INT} を出力する降圧回路 11 と、内部電圧 V_{INT} と接続された不揮発性メモリ 13 と、スイッチトランジスタ Q_{N1} 及び抵抗器 R_3 を有する消費電流制御回路 14 とを備えている。ここで、不揮発性メモリ 13 が消費する電流量と抵抗器 R_3 が消費する電流量とはほぼ同一である。消費電流制御回路 14 は、メモリ活性化信号 R_{ACT} により、不揮発性メモリ 13 が動作状態の場合にはスイッチトランジスタ Q_{N1} をオン状態として不揮発性メモリ 13 が消費する電流量とほぼ同一の電流量を消費し、不揮発性メモリ 13 が動作状態の場合にはスイッチトランジスタ Q_{N1} をオフ状態として抵抗器 R_3 による電流消費を停止する。

【選択図】 図 1

特願 2 0 0 3 - 0 0 6 5 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社